

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.  
008767231 \*\*Image available\*\*  
WPI Acc No: 1991-271244/199137  
XRPX Acc No: N91-206929

Insulator substrate for production of thin-film semiconductor device -  
has lamination of two surface cover layers NoAbstract Dwg 1/5

Patent Assignee: RICOH KK (RICO )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 3179778 | A    | 19910805 | JP 9096235  | A    | 19900413 | 199137 B |

Priority Applications (No Type Date): JP 89248903 A 19890925; JP 89114775 A  
19890508; JP 9096235 A 19900413

Title Terms: INSULATE; SUBSTRATE; PRODUCE; THIN; FILM; SEMICONDUCTOR;  
DEVICE; LAMINATE; TWO; SURFACE; COVER; LAYER; NOABSTRACT

Derwent Class: U11; U12; U13

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03516878 \*\*Image available\*\*

**INSULATING BOARD FOR FORMING THIN FILM SEMICONDUCTOR**

PUB. NO.: 03-179778 [JP 3179778 A]

PUBLISHED: August 05, 1991 (19910805)

INVENTOR(s): KOMORI SATOSHI

OKAMOTO HIROYUKI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 02-096235 [JP 9096235]

FILED: April 13, 1990 (19900413)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 1128, Vol. 15, No. 428, Pg. 98,  
October 30, 1991 (19911030)

**ABSTRACT**

PURPOSE: To remove the effect of contaminants contained in an insulating board by a method wherein the insulating board is covered with a first coating layer, and furthermore the first coating layer is coated with a second coating layer.

CONSTITUTION: A first coating layer 2 is formed on the whole face of an insulating board of quartz or glass, and furthermore a second coating layer 3 is formed on all the surface of the first coating layer 2. A coating layer of silicon, silicon oxide, silicon nitride, or the like functioning as a buffer layer is used as the first coating layer 2, and it is preferable that the coating layer is 0.1-2.0. $\mu$ m in thickness when a polycrystalline silicon film or a silicon oxide film is used. SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, SiON, or SiN can be used as the composition of a second coating layer which functions as a passivation film, and it is preferable that SiN or Si<sub>3</sub>N<sub>4</sub> is selected and the second coating layer is 0.1-2.0. $\mu$ m in thickness.

## ⑫ 公開特許公報 (A)

平3-179778

⑤Int.Cl.<sup>5</sup>

H 01 L 29/784

識別記号

庁内整理番号

④公開 平成3年(1991)8月5日

9056-5F H 01 L 29/78

311 X

審査請求 未請求 請求項の数 1 (全4頁)

⑥発明の名称 薄膜半導体形成用絶縁基板

②特 願 平2-96235

②出 願 平2(1990)4月13日

優先権主張 ②平1(1989)5月8日③日本(JP)③特願 平1-114775

②平1(1989)9月25日③日本(JP)③特願 平1-248903

⑦発明者 小森 敏 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑦発明者 岡本 弘之 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑦出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑦代理人 弁理士 友松 英爾

## 明細書

## 1. 発明の名称

薄膜半導体形成用絶縁基板

## 2. 特許請求の範囲

1. 絶縁基板面が第1被覆層で被覆され、さらにこの第1被覆層が第2被覆層で被覆されていることを特徴とする薄膜半導体形成用絶縁基板。

## 3. 発明の詳細な説明

## 〔技術分野〕

本発明は薄膜半導体素子やイメージセンサの作製に有用な絶縁基板、具体的には不純物汚染防止用被覆膜を供えた絶縁基板に関する。

## 〔従来技術〕

通常薄膜トランジスタを形成するには絶縁基板上に多結晶シリコンを全面に形成し、ホトリソ技術等を用いて作成するのが一般的である。この場合基板からの不純物の拡散 (Na, K, Ca, Fe, Al, W) により作製装置やその雰囲気および薄膜トランジスタが汚染されてし

まい、薄膜トランジスタの特性変動を引き起こし、信頼性に悪影響をおよぼしていた。

このため、特開昭59-89436号では、基板からの不純物防止策として使用されるパッシベーション膜として、絶縁基板の全面に酸化硅素膜、シリコン窒化膜、リンガラス膜等の薄膜(一層のみ)を被覆することが提案されている。

しかし、絶縁基板から薄膜半導体へのFe, W等の重金属、Na, K等のアルカリ金属等の不純物拡散などの汚染防止のために、被覆膜として酸化硅素膜、リンガラス膜、シリコン窒化膜等の絶縁膜を使用する場合、膜生成時の膜の内部応力や、絶縁膜と絶縁基板の熱膨張率の差に起因する熱応力によって絶縁膜のハガレやクラックが発生しやすい欠点がある。このためせっかく絶縁膜を全面被覆形成しても所期の効果が得られない場合が多いことが判明した。

## 〔目的〕

本発明の目的は、絶縁基板に含有される汚染物質の影響を除去し、信頼性、安定性及び再現

性に優れた半導体素子を実現する基板構造を提供することにあり、具体的には絶縁基板と表面被覆層の間に中間被覆層をバッファ層として形成することにより、層の応力、基板の熱膨張によるストレスを緩和した絶縁基板を提供することにある。

#### 〔構成〕

本発明の薄膜半導体形成用絶縁基板は、絶縁基板面が第1被覆層で被覆され、さらにこの第1被覆層面が第2被覆層で被覆されていることを特徴とするものである。

本発明の絶縁基板を用いた薄膜半導体装置を第1図に示す。

石英またはガラス等の絶縁基板1の全面には第1被覆層2が形成され、さらにこの第1被覆層2の全面には第2被覆層3が形成されている。前記のように第1被覆層2及び第2被覆層3は絶縁基板1の全面に形成してもよいが、絶縁基板の一部あるいは片面もしくは両面に形成してもよい。片面に形成した場合を第2図に、半

$\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiON}$ 、 $\text{SiN}$ などを用いることができ、好ましくは $\text{Si}_3\text{N}_4$ 、 $\text{SiN}$ であり、膜厚は組成によっても異なるが、通常 $0.05\text{ }\mu\text{m}$ ～ $10.0\text{ }\mu\text{m}$ 、好ましくは $0.1\text{ }\mu\text{m}$ ～ $2.0\text{ }\mu\text{m}$ である。

第1被覆層及び第2被覆層の形成方法は常圧あるいは減圧CVD法、プラズマCVD法、光CVD法などすべての公知の薄膜形成法を利用できる。第1被覆層がシリコン窒化酸化層の場合には、イオン注入法を用い、その場合、 $\text{N}^+$ の注入エネルギーは $10\text{ }\mu\text{eV}$ ～ $20\text{ }\mu\text{eV}$ とするといい。

また、第2被覆層の場合、気相成長法を用いてよい。さらに第1被覆層形成後、アニール処理を施こし、その後第2被覆層を形成するようになるとよい。アニール処理は、 $\text{N}_2$ 雰囲気中 $30\text{ }~\text{120分間}$ 、温度 $800\text{ }~\text{1000}\text{ }^\circ\text{C}$ で行なうとよい。

第1被覆層と第2被覆層の組合せで最も好ましいのは、石英やガラス等の透明絶縁基板上に形成する場合において、絶縁基板表面にイオン注入法により、 $\text{Si}_3\text{N}_4$ 層を第1被覆層と

導体装置(TFT部)を作製する部分(I)のみに形成した場合の2つの例を第3図AおよびBに示す。

第1被覆層2としては、バッファ層として機能すれば何んでもよく、シリコン、シリコン酸化物、シリコン窒化酸化物等の被覆層があり、たとえば多結晶シリコン膜、 $\text{SiO}_2$ 膜、 $\text{Si}_3\text{N}_4$ 膜、 $\text{Si}_3\text{O}_4\text{N}$ 膜、 $\text{NSG}$ 膜、リンケイ酸ガラス、 $\text{PSG}$ 膜、ボロンケイ酸ガラス、 $\text{BPSG}$ 膜などを挙げることができる。この第1被覆層2は、これらの層を積層して形成してもよい。

層厚は組成によっても異なるが、たとえば多結晶シリコン膜及びシリコン酸化物系膜の場合の厚みは、通常 $0.05\text{ }\mu\text{m}$ ～ $10.0\text{ }\mu\text{m}$ 、好ましくは $0.1\text{ }\mu\text{m}$ ～ $2.0\text{ }\mu\text{m}$ である。シリコン窒化酸化膜の場合には、通常 $20\text{ }~\text{200}\text{ }\text{Å}$ 、好ましくは $50\text{ }~\text{100}\text{ }\text{Å}$ である。

第2被覆層の組成としては、バッシャーベーション膜として機能すれば何んでもよく、たとえば

して形成し、該 $\text{Si}_3\text{N}_4$ 層上に気相成長法により $\text{SiO}_2$ 膜あるいは $\text{Si}_3\text{N}_4$ 膜などの透明絶縁層を第2被覆層として形成した場合である。

第1被覆層2及び第2被覆層3を形成後、従来技術を用いて活性層4、ドレイン電極端子5、ゲート絶縁膜6、ゲート電極7、ゲート電極端子8、ソース電極端子9等を設けた薄膜トランジスタが作製される。

#### 〔実施例〕

##### 実施例(1)

第4図に示すように石英基板1に減圧CVD法により、 $\text{NSG}$ 膜2を形成する。

##### 製膜条件

(温度 $430\text{ }^\circ\text{C}$   $\text{SiH}_4$  80sccm  $\text{O}_2$  200sccm

圧力 $0.2\text{ Torr}$  膜厚 $5000\text{ }\text{Å}$ )

次に $\text{NSG}$ 膜2の上に、同じ減圧CVD法により $\text{Si}_3\text{N}_4$ 膜3を形成する。

##### 製膜条件

(温度 $770\text{ }^\circ\text{C}$   $\text{SiH}_4\text{Cl}_2$  120sccm  $\text{NH}_3$  1200

sccm 圧力 $0.45\text{ Torr}$  膜厚 $2000\text{ }\text{Å}$ )

以上の基板バシベーション膜を形成後、第1回に示すように多結晶シリコン4を全面に形成し、通常のホトリソ技術により、ドレイン電極端子5、ゲート絶縁膜6、ゲート電極7、ゲート電極端子8、ソース電極端子9よりなる薄膜トランジスタを形成した。

#### 実施例(2)

石英基板1に減圧CVD法により、PSG膜を形成する。

#### 製膜条件

(温度430°C SiH<sub>4</sub> 60sccm PH<sub>3</sub> 40sccm O<sub>2</sub> 200sccm 圧力 0.2Torr 膜厚 5000Å)

次にPSG膜の上に同じ減圧CVD法によりSi<sub>3</sub>N<sub>4</sub>膜を形成する。製膜条件は実施例(1)と同じ。以下実施例(1)と同じく薄膜トランジスタを形成した。

#### 実施例(3) (第5回参照)

石英基板1にBSG(ポロンシリケートガラス)膜2'を減圧CVD法により形成。

#### 製膜条件

(温度430°C SiH<sub>4</sub> 60sccm B<sub>2</sub>H<sub>6</sub> 40sccm O<sub>2</sub> 200sccm 圧力 0.2Torr 膜厚 2000Å)

次にBSG膜2'の上にNSG膜2"を減圧CVD法により形成。

#### 製膜条件

(温度430°C SiH<sub>4</sub> 80sccm O<sub>2</sub> 200sccm 圧力 0.2Torr 膜厚 2000Å)

次にNSG膜2"の上にSi<sub>3</sub>N<sub>4</sub>膜3を減圧CVD法により形成。

#### 製膜条件

(温度770°C SiH<sub>2</sub>Cl<sub>2</sub> 120sccm NH<sub>3</sub> 1200sccm 圧力 0.45Torr 膜厚 2000Å)

以上の3層構造の基板バシベーション膜を形成後実施例(1)と同様に多結晶シリコンを全面に形成し、ホトリソ技術により薄膜トランジスタを形成した。

#### 実施例(4)

石英基板に減圧CVD法により、多結晶シリコン膜(Poly-Si膜)を全面に形成した。

#### 製膜条件

(温度600°C SiH<sub>4</sub> 145sccm 圧力 0.12Torr 膜厚 5000Å)

次にPoly-Si膜の全面に同じ減圧CVD法により、シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)を形成した。

#### 製膜条件

(温度770°C SiH<sub>2</sub>Cl<sub>2</sub> 120sccm NH<sub>3</sub> 1200sccm 圧力 0.45Torr 膜厚 2000Å)

形成された絶縁基板は、多結晶シリコンをプレート層(バッファ層)として設けたことによりシリコン窒化膜のハガレやクラックがまったく生じなかった。

しかる後、この絶縁基板を用い、常法に従って第1回に示す薄膜半導体装置を作製した。

この薄膜半導体装置は、絶縁基板中の不純物等による汚染から半導体素子が完全に保護されていた。

#### 実施例(5)

石英基板の片面にイオン注入法によりSiO

N膜を形成した。

#### 製膜条件

(N<sup>+</sup>エネルギー20KeV 膜厚100Å)

N<sup>+</sup>注入後、800°Cの温度、N<sub>2</sub>雰囲気で60分間アニール処理した。

次にSiON膜上にシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)を形成した。

#### 製膜条件

(温度770°C SiH<sub>2</sub>Cl<sub>2</sub> 120sccm NH<sub>3</sub> 1200sccm 圧力 0.45Torr 膜厚 2000Å)

形成された絶縁基板は、SiON膜をプレート層(バッファ層)として設けたことによりシリコン窒化膜のハガレやクラックがまったく生じなかった。

しかる後、この絶縁基板を用い、常法に従って薄膜半導体装置を作製した。

この薄膜半導体装置は、絶縁基板中の不純物等による汚染から半導体素子が完全に保護されていた。

## 〔効 果〕

本発明絶縁基板は第1被覆層をプレーコート層として設けたことにより第2被覆層のハガレやクラックを完全に防止することができる。また、本発明の絶縁基板を用いた薄膜半導体装置は、絶縁基板中の不純物等による汚染から半導体素子を完全に保護することができる。

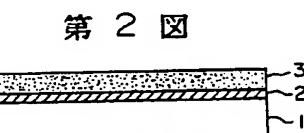
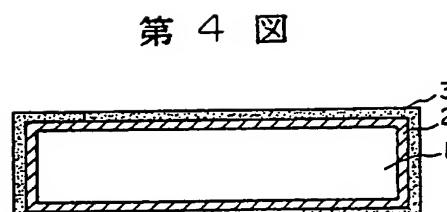
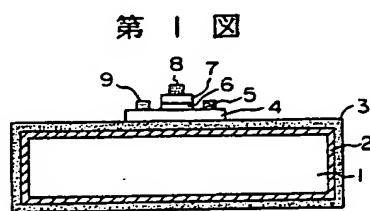
したがって、歩留り及び信頼性の向上が期待できる。

## 4. 図面の簡単な説明

第1図は、本発明の絶縁基板を用いた薄膜半導体装置の説明図、第2図は、第1被覆層と第2被覆層を絶縁基板の片面に形成した場合を示し、第3図AおよびBは、第1被覆層と第2被覆層を絶縁基板の一部に形成した場合の2つの例を示し、第4図は、本発明の実施例1で得られた薄膜半導体形成用絶縁基板、第5図は本発明実施例3で得られた薄膜半導体形成用絶縁基板を示す。

|              |             |
|--------------|-------------|
| 1 … 基板       | 2 … 第1被覆層   |
| 3 … 第2被覆層    | 4 … 活性層     |
| 5 … ドレイン電極端子 | 6 … ゲート絶縁膜  |
| 7 … ゲート電極    | 8 … ゲート電極端子 |
| 9 … ソース電極端子  |             |

特許出願人 株式会社リコー  
代理人弁理士 友松英男



第5図

